

令和 6 年度研究開発成果概要書

採 択 番 号 07901

研究開発課題名 高速大容量データ転送を実現する革新的ハードウェア技術の研究開発

(1) 研究開発の目的

本研究では、我が国が技術的に先導するマルチコアファイバ (MCF: Multi Core Fiber) を用いた空間分割多重 (SDM: Space Division Multiplexing) 方式を採用し、日本発の独創技術である面発光レーザアレイ (VCSEL Array: Vertical Cavity Surface Emitting Laser Array) をコア技術として、400Gbps/800Gbps 大容量伝送・小型実装を可能にする、これまでにない新たな高速大容量データ転送を実現する革新的ハードウェア技術の実現を目指す。

(2) 研究開発期間

令和 6 年度から令和 6 年度 (1 年間)

(3) 受託者

国立大学法人東京科学大学<代表研究者>
富士通オプティカルコンポーネンツ株式会社
古河電気工業株式会社
古河ネットワークソリューション株式会社

(4) 研究開発予算 (契約額)

令和 6 年度 100 百万円

※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 マルチコアファイバを用いた Co-Packaged Optics (CPO)
超小型光トランシーバの研究開発

研究開発項目 1-a) CPO 光トランシーバのための VCSEL アレイの研究開発
(東京科学大学)

研究開発項目 1-b) CPO 超小型光トランシーバモジュールの研究開発
(富士通オプティカルコンポーネンツ(株))

研究開発項目 2 チップ間光接続を可能とする高密度光電インターフェイス技術の研究開発

研究開発項目 2-a) 高密度光電インターフェイス技術の研究開発
(古河電気工業(株))

研究開発項目 2-b) チップ間光接続を実現する CPO ドータボードの開発
(古河ネットワークソリューション(株))

研究開発項目 3 CPO光トランシーバを接続可能な小型大容量スイッチ装置の研究開発
(古河ネットワークソリューション(株))

(6) 特許出願、外部発表等

		累計（件）	当該年度（件）
特許出願	国内出願	7	7
	外国出願	3	3
外部発表等	研究論文	1	1
	その他研究発表	27	27
	標準化提案・採択	0	0
	プレスリリース・報道	1	1
	展示会	2	2
	受賞・表彰	2	2

(7) 具体的な実施内容と最終成果

研究開発項目 1：マルチコアファイバを用いた Co-Packaged Optics (CPO)

超小型光トランシーバの研究開発

CPO 実装に適用可能、かつ MCF との高効率光結合を可能とする 1060nm 帯 16ch VCSEL アレイを実現し、VCSEL アレイ、フォトダイオードアレイ、EIC 及び MCF を一体化する実装技術確立して、伝送速度 400Gbps (25Gbps x 16 コア)、サイズ 1cm³以下、消費電力 5W 以下の世界最小の小型・低消費電力の革新的光トランシーバを実現した。さらに、50Gbps/ch の高速動作を実証し、伝送速度 800Gbps、サイズ 1cm³の次世代 CPO トランシーバの実現性を明らかにした。

研究開発項目 1-a) CPO 光トランシーバのための VCSEL アレイの研究開発

CPO フリップチップ実装可能な 1060nm 帯 16ch VCSEL アレイを開発し、変調速度 160Gbps(PAM-4)のアイ開口を観測し、目標値を超える高速動作を実現するとともに、高温 55℃でも変調速度 100Gbps(PAM-4)を実現した。MCF の単一モードコアへの結合損失 3.5dB を得るとともに、3dB 以下の高効率レンズレス結合の見通しを得た。さらに、100Gbps 動作で 0.2pJ/bit、160Gbps 動作で 0.15pJ/bit の低電力化に成功した。

研究開発項目 1-b) CPO 超小型光トランシーバモジュールの研究開発

1060nm 結合共振器 VCSEL アレイと SM-MCF を適用し、伝送容量 400Gbps(25Gbps x 16 チャンネル)、サイズ 1cm³で世界最小の超小型 CPO 光トランシーバを開発、消費電力 2W (5pJ/bit)の低消費電力動作と、2km SM-MCF 伝送を実証し、目標を達成した。また、伝送速度 800Gbps(50Gbps x 16 チャンネル)、サイズ 1cm³の次世代 CPO トランシーバの実現性を実証した。

研究開発項目 2：チップ間光接続を可能とする高密度光電インターフェイス技術の研究開発

100Gbaud x 16 コア超小型 CPO トランシーバを搭載できる高密度電気プラグブルインターフェイスの設計、作製、評価をした。また、8 連電気プラグブルインターフェイスを用いて 25Gbaud x 16ch CPO 光トランシーバを搭載し、伝送特性を評価することで、チップ間光接続を可能とする高密度光電インターフェイス技術を実証した。

研究開発項目 2-a) 高密度光電インターフェイス技術の研究開発

100Gbaud x 16 コア超小型 CPO トランシーバを搭載できる高密度電気プラグブルインターフェイスを設計し、作製した。高密度電気プラグブルインターフェイスを取付けた評価ステーションが、100Gbaud のナイキスト周波数である 25GHz よりも広い帯域を有することを実証した。また、評価ステーションを用いて 50Gbaud x 16 コア超小型 CPO トランシーバを評価した。

研究開発項目 2-b) チップ間光接続を実現する CPO ドータボードの開発

FPGA 搭載 CPO ドータボードおよびスイッチ ASIC 搭載 CPO ドータボードに研究開発項目 1 で試作した 25Gbaud x 16ch CPO トランシーバを搭載して、伝送検証を実施した。前課題で試作した 100Gbps/チャンネル x 32 チャンネルの伝送能力を持つ FPGA 搭載 CPO ドータボードに研究開発項目 2-a で試作した 50Gbaud x 8ch CPO 超小型光トランシーバを装着し、特性評価を実施し、過去に例のない小型化を実証した。

研究開発項目 3: CPO 光トランシーバを接続可能な小型大容量スイッチ装置の研究開発

研究開発項目 2-a) で製作した FPGA 搭載 CPO ドータボードとスイッチ ASIC 搭載 CPO ドータボードに研究開発項目 1 で試作した 25Gbaud x 16ch CPO 超小型光トランシーバを装着し、FPGA 搭載 CPO ドータボードからパケット送信し、スイッチ装置で中継後に FPGA 搭載 CPO ドータボードで受信する構成で動作検証、遅延測定を実施し、MCF を使うことによる極低遅延スイッチング技術を実証した。

(8) 研究開発成果の展開・普及等に向けた計画・展望

研究開発項目 1: マルチコアファイバを用いた Co-Packaged Optics (CPO) 超小型光トランシーバの研究開発

超高速面発光レーザアレイのチップビジネスを推進しながら、CPO 超小型光トランシーバの実用化に向け、大容量スイッチ装置メカ等と連携した商品化を目指す。同時に、CPO 標準化の情報を収集し、顧客動向・顧客要求の調査を行い、社会実装へ向けた活動を推進する。

研究開発項目 1-a) CPO 光トランシーバのための VCSEL アレイの研究開発

連携研究者である富士フィルム BI 社と連携して、高速動作可能な 1060nm 帯結合共振器面発光レーザの実用化を準備している。まずは、実装が容易な表面出射型の 8ch、16ch アレイの 2027 年度以降の実用化を目指して開発を進め 200Gbps/ch の高速化を進める。

研究開発項目 1-b) CPO 超小型光トランシーバモジュールの研究開発

CPO 超小型光トランシーバの実用化に向け、大容量スイッチ装置メカ等と連携した商品化を目指す。CPO 光トランシーバの市場は立ち上がりつつあり、2028 年には 100 億円以上の規模に成長する見込みで、本市場をターゲットとする。CPO 光トランシーバは新規市場であるため、製品仕様の明確化が重要である。CPO 標準化を議論している団体(OIF 等)の情報を収集し、また顧客動向・顧客要求の調査を行い、社会実装へ向けた方針検討を行う。

研究開発項目 2: チップ間光接続を可能とする高密度光電インターフェイス技術の研究開発

光トランシーバの電気と光インターフェイス部分の相互接続性を実現するべく、市場関係者と情報交換及び議論を行う。そのために、本研究の成果を学会等において技術アピールを行っていく。光トランシーバの互換性を担保するために、電気及び光インターフェイスを標準化することが求められると思われるので、本方式の提案を進めていく。

研究開発項目 2-a) 高密度光電インターフェイス技術の研究開発

本研究で実証した評価ステーションの周波数帯域は 47.9GHz に達しており、100Gbaud PAM4 (200Gbps)に適用できる可能性がある。継続して 100Gbaud の実現を目指した研究が期待される。今後、超小型光トランシーバの電気と光インターフェイスの相互接続性を実現するべく、市場関係者と情報交換及び議論を行う。そのために、本研究の成果を学会等において技術アピールを行っていく。

研究開発項目 2-b) チップ間光接続を実現する CPO ドータボードの開発

プロジェクトメンバと共に、実用化に向けた動作検証を継続的に進めることを検討し、製品化

に向けての課題をクリアしていく方策を立てていく。試作したFPGA搭載CPOドータボード、スイッチ装置を使ったシンポジウムや展示会での発表を通じて、開発した技術をアピールし、スイッチベンダ、装置ベンダと連携による製品化を目指す。

研究開発項目3：CPO光トランシーバを接続可能な小型大容量スイッチ装置の研究開発

5年後の2030年代においては、 μ データセンタ、データセンタ内極低遅延光スイッチング技術の発展が期待される。その中で、極低遅延スイッチング動作を高密度の光トランシーバ実装による大容量データスイッチングを実現するために、本研究のCPO光トランシーバ、電気プラグブルインターフェイス、スイッチASIC搭載CPOドータボードの実証検証、研究開発を継続した後に、これらの製品化が進み、実用化の段階になると考える。