

令和 5 年度研究開発成果概要書

採 択 番 号 05901

研究開発課題名 単原子長ゲートによる低環境負荷物質から成る高出力 THz 増幅器の創出

(1) 研究開発の目的

低環境負荷物質から成る高出力 THz 帯増幅器を創出することを目指す。

(2) 研究開発期間

令和 4 年度から令和 6 年度 (3 年間)

(3) 受託者

国立大学法人東北大学<代表研究者>  
国立研究開発法人産業技術総合研究所  
国立大学法人東京大学  
国立大学法人筑波大学  
国立大学法人広島大学

(4) 研究開発予算 (契約額)

令和 4 年度から令和 5 年度までの総額 177 百万円 (令和 5 年度 99 百万円)  
※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 : ゲート構造の試作に関する研究 (東北大学)  
研究開発項目 2 : 二次元半導体成長に関する研究 (産業技術総合研究所)  
研究開発項目 3 : ソース/ドレイン電極の接触抵抗の制御  
研究開発項目 3-1 ダメージレス金属電極堆積手法の確立 (東京大学)  
研究開発項目 3-2 接触抵抗の評価と電極の最適化 (東京大学)  
研究開発項目 4 : 二次元半導体縦型トランジスタの試作および特性評価  
研究開発項目 5 : 界面準位の研究  
研究開発項目 5-1 物理的計測による界面状態・端面状態の研究 (筑波大学)  
研究開発項目 5-2 電気的計測による界面準位の研究 (筑波大学)  
研究開発項目 6 : デバイス・モデリング  
研究開発項目 6-1) デバイス・モデル構築 (広島大学)  
研究開発項目 6-2) デバイス・モデルの実証 (広島大学)

(6) 特許出願、外部発表等

		累計 (件)	当該年度 (件)
特許出願	国内出願	2	2
	外国出願	0	0
外部発表等	研究論文	7	5
	その他研究発表	71	41
	標準化提案・採択	21	12
	プレスリリース・報道	0	0
	展示会	0	0
	受賞・表彰	4	3

(7) 具体的な実施内容と成果

研究開発項目1：ゲート構造の試作に関する研究

- 単原子長ゲート構造の実現を原子レベルで実証した。
- 実施計画書には無かったが、項目1における研究開発の高精度化および高効率化のために、機械学習を用いた Raman スペクトルの自動精密解析システムを創発した。
- Raman スペクトルによるグラフェン端の化学種の同定に成功した。

研究開発項目2：二次元半導体縦型トランジスタのチャンネルおよびゲート・スタック

- 非平衡グリーン関数法とポアソン方程式を用い、極短ゲート・トランジスタをモデル化し、長さ1 nmの極短ゲートでもスイッチング動作することを確認した。本結果は、単原子長ゲート・トランジスタの実現可能性の高さを示すものである。
- 高誘電率ゲート絶縁膜への WS<sub>2</sub> 成膜前の O<sub>2</sub> 熱処理による、WS<sub>2</sub> の結晶性向上を確認した。
- 単原子長ゲート上へ原子層 (ALD) 堆積法により Al<sub>2</sub>O<sub>3</sub> ゲート絶縁膜を形成し、さらに、その上に WS<sub>2</sub> 薄膜を形成することに成功した。
- Al<sub>2</sub>O<sub>3</sub> 薄膜の SiO<sub>2</sub> 換算膜厚は 4.2 nm、WS<sub>2</sub> の膜厚は ~1 nm であり、目標を達成した。

研究開発項目3：ソース/ドレイン電極の接触抵抗の制御

- ダメージレス堆積手法として、Bi/Au、Bi/Pt の2層系電極の堆積プロセスを確立した。
- N型ドーパントのベンジルピオロゲン(BV)分子によるN+化、及びP型ドーパントのAuCl<sub>3</sub>によるN型からP型への変調を達成した。
- Y function 法を WSe<sub>2</sub> FET に適応した。閾値、移動度、接触抵抗を抽出し、本手法の妥当性を確認した。

研究開発項目4：二次元半導体縦型トランジスタの試作および特性評価

本項目は、2023年12月から開始であったが、前倒しで2023年10月から開始した。下記の成果を得て、研究開発項目4-1のかなりの部分(80%)を達成した。

- 単原子長ゲート上へ原子層堆積法 (ALD) により Al<sub>2</sub>O<sub>3</sub> 超薄膜を形成し、さらに、その上に WS<sub>2</sub> 薄膜を形成することに成功した。
- Al<sub>2</sub>O<sub>3</sub> 薄膜の SiO<sub>2</sub> 換算膜厚は最小で 4.2 nm であり、目標を達成した。
- 形成した WS<sub>2</sub> の膜厚は ~3 nm から ~1 nm まで制御でき、こちらも目標を達成した。
- デバイス・レイアウトの基本設計について検討した。
- 単原子長ゲートを用いたトランジスタおよび回路に関する特許を二件出願した。2024年度に外国出願を計4件行う予定である。
- これまでの出願特許を併せた特許網から、社会実装へ向けた取り組みを産学連携で始動

研究開発項目5：界面準位の研究

- ゲート絶縁膜を介した容量カップリングを用いたチャンネル電位の時間変化から界面準位密度測定手法を考案した。
- Si基板をバックゲートとした MoS<sub>2</sub> チャンネル FET を試作し、上記手法による界面準位密度測定を開始した。
- Si基板上に形成した SiO<sub>2</sub> 膜上に堆積した WS<sub>2</sub> 膜について、キャリアの高速ダイナミクスの評価を開始した。

研究開発項目6：デバイス・モデリングの研究開発

- 原子レベル手法によるデバイスシミュレーション(非平衡グリーン関数法+ポアソン方程式)が MoS<sub>2</sub> 超薄膜 MOSFET 構造に於いて散乱機構を自己無撞着に含む手法(self-consistent Born 近似)にて実行可能になった。
- ソース・ゲート間に配置される電氣的浮遊金属体は、当初目論の静電遮蔽体としてではなく Field plate として機能し、ソース・チャンネル間のアクセス領域のキャリア濃度の増加に寄与することをデバイスシミュレーションにより例示した。
- HiSIM\_SOI/SOTB のコード整備と解法改善を実施しているところである。

- ・以上の研究と並行して、デバイス・モデリングに関して標準化提案を継続して行い、本年度9件もの標準化提案を行った。

#### (8) 今後の研究開発計画

本年度は、全体として、ほぼ契約書通りに研究計画を遂行できた。来年度も、計画通りに研究を進める。主たる目標として、「ゲート絶縁膜を介した、二次元半導体と単原子長ゲートの接合を最適化し、トランジスタを試作し、そのトランジスタの THz 帯における動作を実測ならびにデバイス・モデリング/シミュレーションにより検証する」を設定している。くわえて、次の点に留意する。

- ・ デバイス消費電力の予測：単原子ゲート長・トランジスタの複雑な動作機構を解明した上で、デバイス・レイアウトの共通化などにより、既存のトランジスタ（例：InGaAs-HEMT）との性能比較や寄生容量・抵抗の寄与を進めていきたい。

本年度の研究を円滑に推進するために、次の対策を新たに講じることとする予定である。

- ・ 代表研究者が所属している部局に高性能電子ビーム描画装置（最小線幅<4 nm、重ね合わせ精度<20 nm）が新規更新された。代表研究者は、この装置を優先的に使うことができる立場にある。本装置を駆使して、ソース・ドレイン電極間の距離を可能な限り短縮する。
- ・ 単原子長ゲート・トランジスタにおいて、ソース・ゲート間に、チャンネルへのアクセス領域に重なるように金属体（電氣的に浮遊）が配置される見込みである。Si 素子を題材にした流体力法（ドリフト拡散法）デバイスシミュレーションにより、当該金属体は当初目論の静電遮蔽よりは別の機能、すなわちアクセス領域にキャリアを引き寄せる Field plate の機能を有することが例示された。但し、金属体の存在により、アクセス領域の寄生抵抗が減る一方、ゲート・ソース間の寄生容量が増す懸念がある。この点を踏まえて、金属体の Field plate としての適用可能性・最適化をデバイス・モデリング/シミュレーションにより検討し、デバイス特性の向上を目指したい。

さらに、社会実装に向けた取り組みの概要としては、次の通りである。

- ・ 本課題で実現するトランジスタのモノリシック回路集積および関連した以前の特許に関する今年度出願した二件の特許および以前 NICT および企業と共同で出願した特許に対して、知財化マップを作成した。その結果、これらの特許は世界的に見てユニークであり、世界を先導していることが明らかとなった。米国衛星通信大手 Viasat 社をはじめとする米国のグループも我々と同様のアイデアを持っているようであるが、知的財産確保の面において、我々は彼らに一步先んじていることが判明した。このようにして、知財化マップにより我々の特許と彼らの特許の位置付けが可視化された結果、企業との社会実装に向けた取り組みが始まったところである。