

採 択 番 号 23701
研究開発課題名 完全自動運転のための高性能かつ高信頼な車載光ネットワーク基盤技術の研究開発
副 題 コヒーレント光フレームスイッチ方式を用いた車載通信システムの拡張性向上と省電力化に関する研究開発

(1) 研究開発の目的

石英シングルモード光ファイバによって、ゾーン分割型構成に基づく車載光ネットワークを構築し、マスター装置と各ゾーンに配置されるゲートウェイ (GW) 装置間でレーンあたり 25 Gbps の伝送速度で 100G 級の大容量通信を可能とする。マスター装置から GW 装置への下り、GW 装置からマスター装置への上り方向の通信を分離し、フレームスイッチ方式を利用して、非対称かつトラフィック変動に対応可能で、入出力間で 10 μ 秒以下の低遅延通信を可能とする。光源はマスター装置のみに搭載し、光源の故障などに対応して予備光源や予備ネットワークに切り替える機能を具備する。DPSK 変調方式を採用すると共に自己ホモダイン検波による大幅な感度向上を利用して収容ゾーン数を増やし、従来技術より EMC (Electromagnetic Compatibility) 性能を 10 倍以上高くし、温度依存性を低減する。各装置には Ethernet 機器が接続可能で、既存の CAN (Controller Area Network) を収容可能とする。

(2) 研究開発期間

令和 6 年度から令和 8 年度 (3 年間)

(3) 受託者

学校法人慶應義塾<代表研究者>
古河電気工業株式会社
公立大学法人滋賀県立大学
国立大学法人東海国立大学機構 岐阜大学
国立大学法人大阪大学
株式会社ファストリンクテック

(4) 研究開発予算 (契約額)

令和 6 年度から令和 7 年度までの総額 220 百万円 (令和 6 年度 120 百万円)
※百万円未満切り上げ

(5) 研究開発項目と担当

研究開発項目 1 車載光通信装置の開発

- 1-1. DPSK 光信号送信用ドライバ回路の開発 ((国立大学法人東海国立大学機構 (岐阜大学))
- 1-2. 位相ダイバーシティ用アナログ受信回路の開発 (公立大学法人滋賀県立大学)
- 1-3. 車載用光伝送装置の開発 (古河電気工業株式会社)
- 1-4. 車載用信号処理装置の開発 (株式会社ファストリンクテック)

研究開発項目 2 車載光ネットワークシステム及び通信方式の開発

- 2-1. 車載光 NW 構成法および NW 通信方式の研究開発 (国立大学法人大阪大学)
- 2-2. 車載光ネットワークシステムの開発 (学校法人慶應義塾)

(6) 特許出願、外部発表等

		累計（件）	当該年度（件）
特許出願	国内出願	3	3
	外国出願	0	0
外部発表等	研究論文	0	0
	その他研究発表	5	5
	標準化提案・採択	0	0
	プレスリリース・報道	0	0
	展示会	0	0
	受賞・表彰	0	0

(7) 具体的な実施内容と成果

研究開発項目1 車載光通信装置の開発

1-1. コヒーレント光フレームスイッチ方式に対応した低電力・高速 EIC の要素回路設計と試作を行った。ドライバ回路の高速・低電力動作を実現するハーフレート NRZ-DPSK 変換回路及びオープンドレイン大振幅ドライバ回路を開発し、回路シミュレーションにおいて 25 Gbps、500 mW/ch 以下の低電力高速動作を実現する見通しを得た。また、パケット通信における待機電力削減に向けた、バーストモード制御回路の検討を行った。

また、位相変調器の伝送線路設計に向けたシミュレーション条件を調査し、速度・インピーダンス整合した伝送線路設計環境を構築した。

1-2. 位相ダイバーシティ用アナログ受信回路の基本構成要素である DPSK 復調回路における遅延回路の回路構成の検討を行った。回路シミュレーションにより、25 Gbps の場合に必要な 1 ビット遅延量 (40 ps 程度) および可変幅 (10 ps 程度) が得られる回路構成および設計パラメータを決定した。また、65-nm CMOS プロセスを用いた DPSK 復調回路チップの設計を開始した。チップサイズ 2 mm × 2 mm の領域に 2 チャンネル分の復調回路を搭載し、1 チャンネルあたりのビットレート 25 Gbps、消費電力 1W 程度で動作可能な見通しを得た。

1-3. 薄膜 LN 位相変調器デバイスの設計を研究開発項目 1-1 と共同で行い、電極構造の最適化のための一次試作を実施した。UD-Plane 位相変調器光モジュールの設計は、上記 1-1 の変調器デバイスと Tx-EIC を内蔵する光モジュールを設計し、テストパッケージを作製した。また、Tx-EIC、Rx-EIC の単体評価のためのインターポーザ基板を設計、試作した。UD-Plane コヒーレント受信器モジュール設計を実施し、90° ハイブリッド PLC の設計、試作を行った。FPGA インタフェース I/O ボードは、設計仕様をまとめた。マスター、ゲートウェイ用回路の共通化設計、Ethernet インタフェース、CAN 接続、UD-Plane 25Gb/s 変調器、受信機インタフェース、DD-Plane 2.5Gb/s 送信、受信、電源回路、シリアル通信回路に関する設計を確定した。UD-Plane 25Gb/s 電気差動伝送路は、FPGA とのコネクタ接続を考慮した設計、試作を行い、良好な結果を得た。CW 光源モジュール設計は、 μ ITLA 光源を選定し、光カブラ設計（ローカル光源分岐、信号光源分岐）を行い、カブラの入手を行った。DD-plane 送受信光モジュール、光受信モジュール設計は、前プロジェクトで設計、試作した DFB-LD、Pin-TIA+ドライバ/リミッティングアンプ IC、Pin-TIA+リミッティングアンプ IC+光スプリッタの 2.5Gb/s での動作確認を行った。マスター装置、GW 装置設計においては、FPGA、各光ユニット用電源設計と内蔵ユニットの熱設計、配置を考慮した筐体設計を検討した。装置間を接続する光ファイバ・電源線一括接続コネクタのハウジングの修正設計を行い、3D プリントにより試作した。

1-4. マスター及び GW 装置における共通の信号処理プラットフォームとして、25 Gbps × 2 チャンネルの高速シリアルインタフェース (GTY トランシーバ) 機能を有する FPGA デバイスを搭載した小型 FPGA ボード (SOM) を選定した。選定した SOM に付属する評価ボードを用いて、25 Gbps × 2 チャンネル、PRBS31 パターンによるエラーフリー伝送 (BER < 1.0E-12) を確認した。この結果から、選定した FPGA デバイス及び SOM が、本研究に

おける高速信号処理プラットフォームとして十分な性能を有することを確認した。マスター及び GW 装置において、SOM と光モジュール間のインタフェースを担う I/O ボードの設計仕様を策定した。I/O ボードは、両装置で共通利用可能な設計とし、10 Gbps Ethernet × 4 チャンネル、UD-Plane (25 Gbps) × 2 チャンネル、DD-Plane (2.5 Gbps) × 1 チャンネル、クロックジェネレータ、クロックアッテネータ、シリアル通信インタフェースの機能を持つ。UD-Plane/DD-Plane の信号フォーマットにはフレーム方式を採用し、64B66B 変換後のデータに誤り訂正符号を付加することで、伝送路におけるビット誤りを低減し、信頼性を向上させた。さらに、PRBS 符号を用いたスクランブル処理を行うことで、伝送路における DC バランスを改善し、安定した信号伝送を可能とした。また、フレーム内に制御信号領域を設け、通信帯域の動的制御や冗長構成対応などの制御を可能とする設計とした。

研究開発項目2 車載光ネットワークシステム及び通信方式の開発

2-1. ホモダイン検波によるコヒーレント変復調方式を採用した車載光ネットワークのシミュレータを作成した。DD-Plane, UD-Plane 構成による車載光ネットワークの遅延性能を評価した。マスター装置を含む GW 数 6 台かつ UD-Plane 100Gbps (25Gbps×4 レーン)、DD-Plane 2.5Gbps の構成において、映像系トラヒックの低遅延化・低ジッター化が可能であることを計算機シミュレーションにより示した。

2-2. 理論計算によりホモダイン検波によるコヒーレント変復調方式における伝送特性を検討した。長距離伝送システム用の ICR を用いて位相変調信号のホモダイン検波を行い、車載に向けて課題を抽出した。DPSK 遅延干渉計を構成し、比較用の遅延検波系を構成した。車載に向けた集積化コヒーレント受信器 (ICR) の構成を検討して部品調達を行った。また、高信頼化と高効率化を同時に考慮した上り制御通信データ通信方式の検討を行い、ネットワークとアプリケーションの協調動作による高信頼アルゴリズムを具体化した。

(8) 今後の研究開発計画

研究開発項目1 車載光通信装置の開発

1-1. コヒーレント光フレームスイッチ方式を用いた車載通信システムに対応する高速光位相変調用 EIC の実現に向け、以下の取り組みを行う。まず、NRZ-DPSK 変換および光位相変調器ドライバを混載した回路の集積化に向けた詳細設計を行う。チップサイズは 2 mm × 2 mm、2 チャンネル搭載、動作速度は 25 Gbps、消費電力は 1 W 以下を目標とする。また、フレームスイッチ方式に対応した消費電力削減技術の開発を進めるとともに、プロセスや温度変化に対する補正技術を確立する。さらに、LN 光位相変調器の高速電気伝送線路の設計を行い、システム全体の性能向上を図る。

1-2. 令和6年度に実施した DPSK 復調回路における遅延回路の遅延量制御特性の最適設計手法の検討結果をもとに、DPSK 復調回路チップの設計・試作を行い、基本動作を実証する。65-nm CMOS プロセスを適用し、1 チャンネルあたりのビットレート 25 Gbps 程度、チップサイズ 2 mm × 2 mm 程度、消費電力 1 W 程度を目標とする。また、研究開発項目 1-3 と連携して、光素子や光受信回路と、DPSK 復調回路試作チップを組み合わせた DPSK 光位相変調信号の復調動作の評価に向けた検討を行う。

1-3. 薄膜 LN 位相変調器デバイス一次試作品の評価、二次試作および評価を実施する。UD-plane 位相変調器光モジュールは、1-1 のデバイスを用いてモジュールへ実装し、評価を実施する。変調器デバイスのモジュール化に先立って、Tx-EIC をインターポーザ基板へ実装し、単体評価を行う。また、FPGA 接続用 PM ボードを試作し、変調器モジュールを実装し、FPGA と組み合わせて動作確認を行う。UD-Plane コヒーレント受信器モジュール試作および評価を行う。まず、Rx-EIC をインターポーザ基板へ実装し、評価する。また、FPGA 接続用 ICR ボードを試作し、ICR および Rx-EIC インターポーザ基板を実装し、FPGA と組み合わせて動作確認を行う。FPGA インタフェース I/O ボードは、回路設計に基づき試作を行い、FPGA と組み合わせて評価を行う。CW 光源モジュールをマスター装置筐体へ実装する。CW 光源 2 台、光カプラはローカル光源分岐、信号光源分岐をユニットにまとめる。DD-plane 送受信光モジュール、光受信モジュールを筐体へ実装する。マスター装置には 2.5Gb/s DFB-LD、Pin-TIA+ドライバ/リミッティングアンプ IC、ゲートウェイ装置には 2.5Gb/s

Pin-TIA+リミッティングアンプIC+光スプリッタを実装する。マスター装置、GW 装置の筐体設計を完了し、電源を試作する。FPGA、各光ユニット用電源の一次試作により課題を抽出後、デモンストレーションシステム用の電源回路を作製する。筐体設計は、内蔵ユニットの熱設計、配置を考慮し1次試作を行う。

1-4. SOM 評価ボード同士を対向接続し、UD-Plane/DD-Plane を電氣的に模擬することで、簡易的なマスター/GW として動作させ、定義した信号フレームフォーマットの基本機能が実機において問題なく機能することを検証する。また、製造したI/O ボードとSOM を組み合わせ、基本的な動作を確認する。さらに、マスター/GW 装置で使用するPM ボードとICR ボードを接続し、UD-Plane における光信号の変調/復調動作を検証する。

研究開発項目2 車載光ネットワークシステム及び通信方式の開発

2-1. 本研究開発における車載光ネットワークが高信頼であることを示す。そのために、平均故障時間 MTTF (Mean Time To Failure) の算出と、摩耗故障期の故障・多重故障に対応するNW 通信方式の開発に取り組む。

2-2. 前年度に引き続き、ホモダイン検波によるコヒーレント変復調方式における伝送特性をシミュレーションによって明らかにし、実環境を想定した伝送性能を明らかにする。DPSK 遅延干渉計を利用した送受信系を構築し、シミュレーションと対比しながら車載用コヒーレント伝送系の最適化を検討し、コヒーレント受信器を利用したホモダイン検波による受信波形の再構築をオフラインで行い、コヒーレント変復調システムの最適化設計指針を得る。本研究開発の車載光ネットワークの冗長性や省電力性を生かした制御系データ通信技術の検討において、車載光ネットワークの一部レーンのネットワーク障害等が発生した場合でも制御性能の劣化を抑制しつつトラフィック量削減が可能である見込みを得る。